

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. 6 G01R 31 /26	(11) 공개번호 특 1998-032494
(21) 출원번호 G01R 31 /26	(43) 공개일자 1998년 07월 25일
(22) 출원일자 1997년 10월 02일	
(30) 우선권주장 96-263145 1996년 10월 03일 일본(JP)	
(71) 출원인 가부시키기이사아드반테스트 오오우라히로시	
(72) 발명자 일본 도쿄도 네리마쿠 아사히쵸 1쵸메 32번 1고 시모가마가즈시게	
(74) 대리인 장용식, 정진상	일본 사이타마현 교다시 나가노 4792-6 애야 101
신사정구 : 일본	
(54) 메모리 시험장치	

## 요약

패턴 발생기에서 출력되는 각종 패턴데이터를 패턴선택터에 의해 희망하는 배열의 순서로 꺼내고, 실파형을 갖는 시험패턴신호로 변환하여 피시험메모리의 각핀에 부어하는 구성으로된 메모리시험장치에 있어서, 피시험메모리에 각 I/O 핀에 대응하여 설치된 패턴셀러터는 선택하는 패턴을 지정하는 패턴선택제어신호가 격납된 복수의 레지스터와, 패턴발생기에서 발생된 레지스터 선택제어신호(PS)에 의해 지정된 레지스터를 선택하는 제1멀티플렉서와, 그 제1멀티플렉서에서 선택된 레지스터의 패턴선택 제어신호에 의해 제어되어 패턴발생기로 부터의 패턴데이터에서 패턴을 선택하는 제2멀티플렉서를 포함한다.

## 설명도

## 도 1

## 설명서

## 도 2는 도 1의 메모리 시험장치

도 1은 본발명에 따른 메모리시험장치로 시험대상이 되는 메모리 설명도.

도 2는 도 1의 메모리 동작을 설명하기 위한 명령도.

도 3은 도 1의 메모리 각 핀에 부어하는 신호의 실제인 설명도.

도 4는 종래의 메모리 시험장치 개요를 설명하기 위한 블록도.

도 5는 도 4에 있어서의 패턴발생기와 패턴셀렉터 구성을 나타내는 블록도.

도 6은 본발명의 주요부 구성설명 블록도.

도 7은 도 6에 있어서의 패턴발생기(11) 구성을 나타내는 블록도.

도면의 주요부분에 대한 부호의 설명

11: 패턴발생기	12: 패턴셀렉터
11B: 인스트럭션 메모리	12A~12E: 레지스터
12F, 12G: 멀티플렉서	12H: 품킹 플롭

#### 본발명의 신박한 속성

##### 본발명의 속성

###### 본발명이 속하는 기술 및 그 분야의 종래기술

본발명은 예를들면 플래쉬메모리 등이리 일컫는 대용량화된 반도체 메모리를 시험하는 메모리시험장치에 관한 것이다.

메모리의 대량화에 따른 핀수 증가를 억제하는 수법의 하나에 /0 권(입출력핀)을 본래의 데이터 입출력핀으로 사용하는 외에, 커맨드 입력핀, 어드레스 입력핀 등으로 경용하는 메모리가 생각된다. 이 메모리는 도 1에 나타낸 바와같이 예를들면 8개의 입출력핀(I/O-1 ~ I/O-8)외에 커맨드 입력제어핀( $P_{c1}$ )과, 어드레스 입력제어핀( $P_{a1}$ )과, 기입제어핀( $P_{w1}$ )과, 기입금지제어핀( $P_{n1}$ )과, 침선택제어핀( $P_{e1}$ )과, 판독제어핀( $P_{r1}$ )등이 설치되어 있다.

8개의 입출력핀(I/O-1 ~ I/O-8)에 예를들면 3사이클에 걸쳐 어드레스신호를 입력하면 전부  $8 \times 3 = 24$  비트의 어드레스 신호를 입력할수 있다. 24비트의 어드레스신호를 사용함으로써 약 16M 비트의 기억용량을 갖는 메모리 영역을 익세스 할 수 있다.

또한, 4 사이클에 걸쳐 어드레스신호를 입력함으로써  $8 \times 3 = 24$  비트의 어드레스신호를 입력할수 있고, 이에따라 약 4G 비트의 메모리 영역을 익세스 할수 있다.

이와같이 동일핀을 시(時) 분할하여 이용하고, 복수사이클로 분할하여 어드레스신호를 입력함으로써 핀수를 증가하지 않고 메모리용량을 확대할 수 있는 이진이 얹어진다. 3:에따라 동일 블케이지 구조로 각종 기억용량을 갖는 메모리를 구성할수 있게 된다.

도 2에 이 종류의 메모리 동작 타이밍에를 도시한다. 도 2에 있어서, 행(行) D는 입출력핀(I/O-1 ~ I/O-8)에 부여하는 신호배열을 나타내고, 이 신호의 구성은 선두에 커맨드신호(C0~C7)가 배치되고, 그 다음에 어드레스신호(A0~A21)가 배치되고, 어드레스신호(A0~A21) 다음에 데이터(DAT)가 배치되어 1소(組)의 신호 배열이 구성된다.

커맨드신호(C0~C7), 어드레스신호(A0~A21), 데이터(DAT)를 구별하여 메모리에 입력하기 위하여 커맨드입력제어핀( $P_{c1}$ )과, 어드레스입력제어핀( $P_{a1}$ )이 설치되고, 커맨드입력제어핀( $P_{c1}$ )에 입력하는 커먼드입력제어핀(CLE)과 노 2 행 A의 같으

H 논리로 일어세움으로써 커맨드신호(C0~C7)가 메모리에 수용된다. 또 어드레스입력제어핀(8)에 부여하는 어드레스입력제어신호(ALE)를 행 B 와 같이 H 논리로 일으켜 세운 상태에서는 출력단자(/I0-1~I0-8)에 부여하는 신호가 어드레스신호(A0~A21)로서 인식되어 메모리에 수용되고. 이 어드레스 신호에 의해 데이터를 기입해야할 어드레스 또는 판독하고자 하는 어드레스가 억세스된다. 도예(圖例)에서는 3 사이클을 사용하여 22 비트의 어드레스신호(A0~A21)를 공급하고, 4비트의 기억용량의 메모리를 억세스할 경우를 표시한다. 또, 데이터는 DAT~DAT<sub>7</sub>을 입력단자(I0-1~I0-8)에 시분할하여 부여하고, 이를 데이터(DAT<sub>7</sub>~DAT<sub>0</sub>)를 메모리에 기입할 경우를 예시한 경우를 나타난다.

도 3에 각 입출력단자(I0-1~I0-8)에 입력하는 신호의 상세예를 표시한다. 사이클1에서는 8비트의 커맨드신호(C0~C7)가 입출력핀(I0-1~I0-8)에 공급된다. 사이클2에서는 어드레스신호중의 선두에서 8비트의 A0~A7이 부여된다. 이 어드레스신호를 이하 컬럼 어드레스신호(또는 어드레스)라 일컫는다. 사이클3에서는 A8~A15까지 8비트의 어드레스신호가 부여된다. 이 어드레스신호를 낸드 어드레스신호(또는 Y어드레스)라 일컫는다. 사이클4에서는 A16~A21 까지의 6비트의 어드레스신호를 부여한다. 이 어드레스신호를 블록어드레스신호(또는 Z 어드레스)라 일컫는다. 어드레스신호(A0~A21)에 이어서 데이터(DAT<sub>7</sub>~DAT<sub>0</sub>)를 구성하는 각 비트신호(D0~D7)가 입력된다.

상기와 같이 입출력핀을 데이터의 입출력핀으로 이용하는 것 외에, 어드레스 입력핀, 커맨드 입력핀 등의 입력핀으로서 유동(流用)하는 형식의 메모리에 있어서는 도 3과 같이 각 입출력핀(/I0-1~I0-8)에 각종 종류의 다른 신호를 공급하지 않으면 안된다. 이 사실은 이 종류의 메모리를 시험하는 메모리시험장치로 요구되는 사항이고, 이 종류의 메모리를 시험하는데는 각 입출력단자(I0-1~I0-8) 각각에 커맨드신호, 어드레스신호, 데이터의 각종신호를 입력하지 않으면 안된다는 것을 의미한다.

메모리시험장치는 도 4와 같이 기본적으로 패턴발생기(11)와, 패턴발생기(11)가 출력하는 각종 패턴신호를 선택하여 각 핀에 부여하는 패턴데이터를 인출하기 위한 패턴선택수단(12)과, 패턴선택수단으로 인출한 패턴데이터를 실마형을 갖는 패턴신호로 변환하는 포매터(13)와, 이 포매터(13)로 생성한 패턴신호를 피시험메모리(MUT)에 부여하는 드라이버(14)와, 피시험메모리(MUT)에서 판독하여 출력되는 신호의 논리레벨을 판정하여 수용하는 레벨비교기(15)와, 레벨비교기(15)로 판정한 논리레벨을 기대치 데이터와를 비교하는 논리비교기(16)와, 논리비교기(16)에 있어서 물밀차가 검출되어 피시험메모리(MUT)에 물량셀이 존재하는 것이 검출될 때, 그 물량셀의 어드레스에 물량을 나타내는 논리치를 기억하고, 그 기억을 판독하여 물량해석에 사용하는 물량해석메모리(17)와, 패턴발생기(11), 패턴선택수단(12), 포매터(13), 드라이버(14), 레벨비교기(15), 논리비교기(16) 등에 타이밍신호를 주는 타이밍신호발생기(18)와, 메모리시험장치 전체를 쇄어하는 테스터프로세서(10)에 의해 구성된다.

또한, 도면에서는 패턴셀렉터(12), 포매터(13), 드라이버(14), 레벨비교기(15)를 각각 1개의 블록으로 표현하고 있으나, 이를 블록내에는 피시험메모리(MUT)의 핀수에 대응한 수의 채널이 준비되고, 각 핀에 대하여 패턴신호가 공급된다.

종래, 패턴셀렉터(12)에서는 테스터프로세서(10)에 설치된 프로그램에 따라 출력되는 제어신호가 데이터버스(OBUS) 및 제어버스(CBUS)를 통하여 부여되고, 피시험메모리(MUT)의 각 핀에 부여되는 패턴신호를 선택하고 있다. 따라서, 상기와 같이 입출력핀(I0-1~I0-8)에 커맨드신호, 어드레스신호, 데이터 등, 종류가 다른 신호를 각 핀마다 선택하는 네는 테스터프로세서(10)에 설치하는 프로그램 내용이 번잡하고, 그 작성에는 많은 수고와 번잡한 작업을 필요로하고, 프로그램 작성에 큰 비용이 드는 결점이 있다. 이하에 그 점에 대하여 설명한다.

종래, 테스터프로세서(10)내에는 버스레지스터(10R)가 설치되어 있고, 그 버스레지스터(10R)에는 미리 피시험메모리의 핀조건(PD)을 설정한다. 피시험메모리의 핀(/I0-1~I0-8)에 대한 핀조건(PD)은 예를들면,

PD1-8=IN1, XOR, ACLK1, BCLK1, CCLK1, SDM, ROSMX0-7, Y0-7, D0-7

와 같이 기술된다. IN1은 핀(/I0-1~I0-8)을 입력모드에 설정하고, XOR, ACLK1, BCLK1, CCLK1은 포매터(13)에서 사용되는 마형 합성논리 및 클럭 종류를 지정하고, SDM은 Y어드레스를 2사이클 인속시키는 것을 지정하고, ROSMX0-7은 데이터 종류를 지정하고 있다. X0-7, Y0-7, D0-7은 핀(/I0-1~I0-8)에 부여되는 패턴의 종류(X어드레스, Y어드레스, 데이터)를 표시하고 있다. 꼭설명을 아름 표이 조건을. 특히 최후에 든 앤드오거나 아니에 관계되므로 이하의 설명은 또 조건으로 단순히 PD = A, B, C, D 같은 형식으로 표시하는 것으로 한다. 즉, 그 1은 예의 디시팅메모리에 대하여 핀(/I0-1...).

1/0-8)의 편조건(PD1-8)을 예를들면 PD1-8 = X0-7, Y0-7, C0-7, D0-7로 기술함으로써 도 1의 피시형애모리(MUT)에 대하여 X 어드레스가 부여되어 있을때는 어드레스(X0.....X7)가 핀(1/0-1.....1/0-8)에 각각 부여되고, MUT에 대하여 Y어드레스가 부여되어 있을때는 어드레스(Y0.....Y7)가 핀(1/0-1.....1/0-8)에 각각 부여되는 것을 나타낸다. MUT에 커랜드 신호(C0-C7) 및 데이터(D0.....D7)가 부여되어 있을때도 동일하다.

설명이 이루고자 하는 기술적 내용

그런데 종래의 메모리시형장치는 그 하드 구성상의 제한 때문에 이 편조건 기술(記述)이 이 예와 같이 3종류의 정보에 대한 것 밖에 되지 않는다. 그러나 어드레스 사이즈가 큰 최근의 플래쉬메모리를 시험하기 위해서는 도 2의 설명과 같이 1/0 편(1/0-1, ..., 1/0-8)에 대하여 커맨드신호(C), X어드레스, Y어드레스, Z어드레스, 데이터(D)를 희망하는 시퀀스로 인하고, 패턴발생기에 의한 패턴발생을 위한 프로그램(인스트럭션 시퀀스)에 있어서, 예를들면 Y어드레스 발생시에 그에 앞서서 초기와 같이 멀티플렉서를 제어하여 1사이클의 X어드레스(X0-7)의 발생을 개입에 의해 발생시킨다. 그에 대하여 도 5를 참조하여 이하에 설명한다.

도 5는 도 4의 종래의 메모리시형장치에 있어서의 패턴발생기(11)와, MUT의 하나의 1/0-핀에 대응하여 설치된 포매터(13) 구성의 1예를 간략화하여 나타낸다. 패턴발생기(11)의 시퀀스 컨트롤러(11A)는 인스트럭션 메모리(11B)의 실행할 인스트럭션이 기술되어 있는 어드레스를 인스트럭션메모리(11B)의 인스트럭션 어드레스필드(11B1)에 부여하고, 그 어드레스에 기술되어 있는 시퀀스명령에 따라 다음 어드레스를 생성한다. 인스트럭션메모리(11B)의 인스트럭션 어드레스필드(11B2), 테스트 어드레스필드(11B3), 테스트데이터필드(11B4), MUT필드(11B5), 제어필드(11B6)에 각각 기술되어 있는 명령/데이터가 판독되고, 명령이 실행되며, 데이터가 설정된다. 그 결과 시퀀스 명령필드(11B2)에 기술되어 있는 다음에 명령/데이터가 판독되고, 명령이 실행되며, 데이터가 설정된다. 그 결과 시퀀스 명령필드(11B2)에 기술되어 있는 다음에 실행할 명령 어드레스로옮기기 위한 시퀀스 제어명령(INC, NOP, JUMP등)이 시퀀스 컨트롤러(11A)에 부여되고, 테스트 어드레스필드(11B3)의 연산명령에 따라 연산부(11C)의 X-, Y-, Z- 어드레스 연산기(11CX, 11CY, 11CZ)에 있어서의 어드레스가 연산되고, 테스트 데이터필드(11B4)의 데이터가 데이터레지스터(1101, 1102)에 출력되고, MUT 필드(11B5)의 MUT에 내한 제어신호(C)가 출력되고, 제어필드(11B6)의 월티블액서(11E) 및 패턴밸렉터에 대한 선택신호가 출력된다. 이와같이 하여 패턴발생기(11)는 어드레스패턴(예를들면 22비트), 데이터패턴(예를들면 32비트), 키맨드패턴(예를들면 8비트)등의 각 어드레스패턴(11)은 어드레스패턴(예를들면 100종류 이상의 패턴을 생성하고 있으며, 그들 모두는 MUT의 각 핀에 대응한 패턴셀 액터(12)에 부여된다.

패턴셀렉터(12)는 도 5에서는 하나밖에 표시하지 않았으나, MUT의 각 핀에 대응하여 설치되고, 각 패턴셀렉터(12)는 포매터(13), 드라이버(14)를 통하여 MUT의 대응하는 빈에 부여할 어드레스데이터, 커랜드 등의 시령패턴을 선택출력한다. 매터(13), 드라이버(14)를 통하여 MUT의 대응하는 빈에 부여할 어드레스데이터, 커랜드 등의 시령패턴을 선택출력한다. 패턴셀렉터(12)는 또 MUT에서 판독된 데이터와 논리비교하기 위한 기대치 데이터의 대응하는 비트를 데이터 레지스터(1102)에 설정된 기대치 데이터에서 파선과 같이 선택 출력하나 본발영과 직접 관계없이 때문에 설명을 생략한다.

각 패턴셀렉터(12)의 멀티플렉서(12G)에서는 대응하는 /0 핀에 현재 부여할 패턴이 X어드레스, Y어드레스, Z어드레스, 카먼드(C), 데이터(D) 중의 어느것인지, 또 Ci 패턴셀렉터(12)가 8개의 /0핀 중의 어디에 대응하고 있는지를 레지스터(12R)에 기입된 제어필드(11B6)로 부터의 선택신호(X, Y, Z, C, D의 어느것) 및 버스레이저스터(10R)에서 부여된 핀조건(PIN)에 의거하여 결정된다.

종래, 파시청메모리의 어드레스 사이즈는 작고, 예를들면 16비트이내 이므로, 예를들면 판(/0-1 ~ 1/0-8)으로 어드레스를 입력할 경우, 2 사이클의 어드레스 기입(즉 X 어드레스 X0, ..., Y7 의 기입과, Y어드레스 Y0, ..., Y7의 기입)을 행하연 되고, 따라서 버스캐리저스터(10R)에 미리 설정하는 판조건은 예를들면  $PD = X0-7, Y0-7, C0-7, D0-7$  과 같이 4종류의 대이터에 대하여 설정하면 되었다. 그러나, 최근의 플래쉬 메모리의 어드레스 사이즈는 16비트보다 큰 것이 있고, 2사이클의 어드레스 기입에서는 저 어드레스 비트를 수용할수 없게 되어 있다. 따라서, 종래의 시험장치 그대로는 이와같은 어드레스 기입에서는 판 어드레스 비트를 수용할수 없게 되어 있다. 그래서, 종래는 버스캐리저스터의 판조건 기술은 예를들면  $PD = X0-7, Y0-7, C0-7$  와 같이 종래와 동일하게 4종류의 대이너에 대하여 판 조건을 설정하고, 팬텀발생기(11)로 Y어드레스 발생 소립니다. 1사이클의 계입을 행하여 그 개입상이율로 팬텀발생기의 일디플렉서(11t: 5 장소)를 제어하여 X 어드레스를 선택 출입

하도록 인스트럭션메모리(11B)에 격납하는 인스트럭션 스텝을 기술할 필요가 있었다. 따라서, 그 만큼 패턴발생을 위한 인스트럭션 프로그램을 작성하는데 어려움이 있었다.

### 본발명의 구조 및 작동

본발명의 목적은 각 입출력 단자에 커맨드신호, 어드레스신호, 데이터등으로 선택하기 위한 인스트럭션 프로그램을 복잡하게 하지 않고, 큰 어드레스 사이즈의 메모리에 대한 시험패턴의 발생이 가능한 메모리 시험장치를 제공하는 것이다.

본발명에 따른 복수의 입력핀을 갖는 피시험 메모리에 패턴을 부여하여 시험을 행하는 메모리 시험장치는,

어드레스신호, 데이터신호, 커맨드신호의 패턴데이터를 발생함과 동시에 레지스터 선택제어신호를 생성하는 패턴발생기와

상기 패턴발생기에서 출력되는 패턴 데이터에서 상기 피시험 메모리의 각 입출력핀에 대응하여 하나의 패턴데이터를 선택하는 패턴셀렉터와,

상기 패턴셀렉터로 선택된 패턴데이터를 소망하는 실파형(實波形)의 패턴으로 변환하는 포매터와,

상기 포매터로 부터의 패턴을 대응하는 입출력핀에 부여하는 드라이버를 포함하고, 상기 패턴셀렉터는,

상기 패턴발생기에서 출력되는 패턴데이터를 선택하기 위한 패턴 선택제어신호를 기억하는 적어도 상기 신호의 종류에 대응하여 설치된 복수의 패턴선택 제어신호 레지스터와,

상기 패턴발생기로 부터의 레지스터 선택제어신호에 따라 이들 레지스터에서 패턴선택 제어신호를 선택하여 출력하는 제어신호선택 멀티플렉서와,

선택한 상기 패턴선택 제어신호에 따라 상기 패턴발생기로 부터의 패턴데이터를 선택하고, 상기 포매터에 부여하는 패턴 선택 멀티플렉서를 포함한다.

이와같이 구성함으로써 버스레지스터에 관조건을 설정할 필요가 없고, 또 패턴발생기의 인스트럭션메모리에 격납하는 인스트럭션 프로그램을 복잡화하지 않고 큰 어드레스 사이즈의 메모리의 입출력핀에 대한 패턴이 선택 가능하게 된다.

### (바람직한 실시예의 상세한 설명)

도 6에 본발명의 1실시예를 나타낸다. 도면중 11은 패턴발생기, 12는 패턴셀렉터를 나타낸다. 패턴발생기(11)의 구성 자체는 도 7과 같이 도 5의 종류구성과 동일하나, 본발명은 인스트럭션메모리(11B)의 제이핀드(11B6)에 기입된 제어신호에 의해 패턴셀렉터(12)의 밀티플렉서(12G)를 제어하는(도 5) 대신, 후기와 같이 제어핀드(11B6)에 기입된 제어신호(PJ)에 의해 패턴셀렉터(12)에 설치한 복수의 레지스터(12A~12E) 선택을 행하는 밀티플렉서(12F)를 제어하고, 그 선택된 레지스터에 격납되어 있는 패턴선택제어신호에 의해 패턴셀렉터(12G)의 패턴선택을 제어한다. 이 설명은 이 패턴셀렉터(12)는 복수의 레지스터(12A, 12B, 12C, 12D, 12E)와, 멀티플렉서(12F, 12G) 및 플립플롭(12H)으로 구성되어 있다. 이를 레지스터(12A~12E)수는 공통의 입출력핀(/0-1~1/0-8)에 부여하는 신호의 종류수만큼 있으면 되나, 피시험 메모리 종류에 따라 그 신호의 종류수는 다른 수가 있으므로 가장 종류가 많은 경우에 대응한 수만큼 설치해 두는 것이 좋다.

즉, 레지스터(12A)는 커맨드용 레지스터, 12B는 컬링어드레스용 레지스터, 12C는 뱡드 어드레스용 레지스터, 12D는 블록 어드레스용 레지스터, 12E는 데이터용 레지스터로서 이용된다. 이를 각 레지스터(12A~12E)에는 커맨드신호를 꺼내기 위한 제어신호(CA), 컬링어드레스를 꺼내기 위한 제어신호(CB), 뱡드 어드레스를 꺼내기 위한 제어신호(CC), 블록어드레스를 꺼내기 위한 제어신호(CD), 데이터를 꺼내기 위한 제어신호(CC)가 터스터포트체서(10)에서 각각 더이터버스(BUS)를 통하여 기울된다. 이 기울은 제3버스(CBUS)를 통하여 보내으는 기관자령신호( $B_1, B_2, B_3, B_4, B_5$ )에 의해 실행된다.

레지스터(12A~12E)에 기입된 각 제어신호(CA~CE)는 출력측으로 판독되고, 각각이 멀티플렉서(12F)의 입력단자(A, B, C, ..., E)에 입력된다. 패턴발생기(11)의 인스트럭션메모리(11B)에는 패턴발생을 위한 일련의 인스트럭션과 함께 그 메모리의 세어필드(11B6: 도 5 참조)에, 멀티플렉서(12F)에서 선택하는 신호를 지정하는 제어신호(PJ)가 데이터로서 기술되어 있다. 멀티플렉서(12F)는 이 인스트럭션메모리(11B)의 세어필드(11B6)에서 순차 출력된 제어신호(PJ)에 의해 입력단자(A, B, C, D, E)가 지정된 순으로 교체 제어된다.

멀티플렉서(12F)의 교체제어에 의해 제어신호(CA, CB, CC, CD, CE)가 선택되고, 멀티플렉서(12G)의 제어단자에 부여된다. 멀티플렉서(12G)는 이를 제어신호(CA~CE)에 의해 제어되고, 패턴발생기(11)에서 출력되는 다수의 패턴신호중에서 제어신호(CA)에 의해 커랜드신호(C0, ..., C7)에 대응하는 하나의 비트패턴데이터를 꺼내고, 제어신호(CB)에 의해 X어드레스(X0, ..., X7)의 대응하는 비트패턴데이터를 꺼내고, 제어신호(CC)에 의해 Y어드레스(Y0, ..., Y7)의 대응하는 비트패턴데이터를 꺼내고, 제어신호(CD)에 의해 Z어드레스(Z0, ..., Z7)의 대응하는 비트패턴데이터를 꺼내고, 제어신호(CE)에 의해 피시형메모리(MUT)에 기입하기 위한 데이터(D0, ..., D7)의 대응하는 비트패턴데이터를 꺼낸다. 이를 각 패턴데이터는 플립플롭(12H)에 있어서, 클록(CLK)에 의해 티타이밍되고, 포매터(13)에 입력되어 살파형으로 변환된다. 포매터(13)로 부터의 살파형은 여기서는 도시하지 않으나, 도 4와 동일하게 드라이버를 통하여 피시형메모리(MUT)의 대응하는 핀에 부여된다.

상기 레지스터(12A~12E) 및 멀티플렉서(12F, 12G) 및 리타이밍용 플립플롭(12H)으로 이루어지는 패턴셀렉터(12)를 각각 피시형메모리(MUT)의 핀수만큼 설치해둠으로써 각 패턴셀렉터(12)에 설치한 레지스터(12A~12E)에 각 핀에 부여되는 커먼느신호 컬럼어드레스(X어드레스), 낸드어드레스(Y어드레스), 블록어드레스(Z어드레스), 데이터를 꺼내기 위한 패턴선택제어신호(CA~CE)를 미리 기입함으로써, 메모리(IC)의 어느 핀이 입출력 핀에 할당되더라도 각 입출력핀에 대응한 커먼드신호, 컬럼어드레스신호, 낸드어드레스신호, 블록어드레스신호, 데이터를 꺼내기 위한 세어신호(CA~CE)를 레지스터(12A~12E)에서 판독하면 되기 때문에 테스터 프로세서(10)의 버스레이지스터에 핀 조건을 설정할 필요가 없다. 또, 패턴발생기(11)의 인스트럭션메모리(11B)에는 패턴발상을 위한 일련의 인스트럭션과 함께 발생할 제어신호(PJ)를 기술해 두면되고, 인스트럭션 프로그램 작성이 간단하다.

#### 보통의 설계

이상 설명한 바와같이 본발명에 따르면 공통의 핀에 상이한 성질의 패턴신호를 공급할 경우에 그 패턴신호에 선택을 목수의 레지스터로 설정할 패턴선택신호로 멀티플렉서(12G)를 제어하여 필요한 패턴을 선택하기 때문에 패턴발생을 위한 인스트럭션 프로그램 작성이 간단하다.

#### (37) 청구의 범위

청구항 1. 복수의 입출력핀을 갖는 피시형메모리에 패턴을 부여하여 시험을 행하는 테모리 시험장치로서,

어드레스신호, 데이터신호, 커랜드신호의 각 패턴데이터를 발생함과 동시에 레지스터 선택제어신호를 생성하는 패턴발생기와,

상기 패턴발생기로부터 출력되는 패턴데이터로부터 상기 피시형메모리의 각 입출력핀에 대응하여 하나의 패턴데이터를 선택하는 패턴셀렉터와,

상기 패턴셀렉터에서 선택된 패턴데이터를 회망하는 살파형의 패턴으로 변환하는 포마터와,

상기 포마터로부터 배트을 대응하는 암출역핀에 부여하는 드라이버를 포함하고, 상기 패턴셀렉터는,

상기 패턴발생기로부터 출력되는 패턴데이터를 선택하기 위한 배트선택 제어신호를 기록하는 적이도 상기 신호의 종류에

대응하여 설치된 복수의 패턴선택 제어신호 레지스터와,

상기 패턴발생기로 부터의 레지스터 선택제어신호에 따라 이를 레지스터로부터 패턴선택제어신호를 선택하여 출력하는 제어신호선택 멀티플렉서와,

선택한 상기 패턴선택 제어신호에 따라 상기 패턴 발생기로 부터의 패턴데이터를 선택하여, 상기 포매터에 부여하는 패턴선택 멀티플렉서를 포함하는 것을 특징으로 하는 메모리 시험장치.

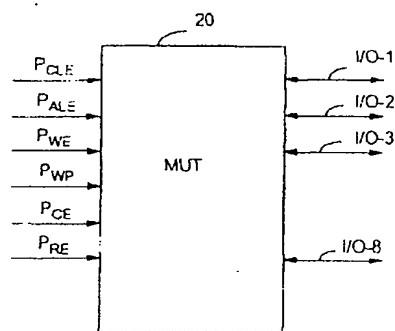
청구항 2. 제 1 항에 있어서, 상기 복수의 패턴선택 제어신호 레지스터는 상기 커맨드신호에 대응하는 패턴데이터를 선택하는 제어신호를 격납하는 커맨드레지스터와, 복수의 어드레스 신호에 대응하는 패턴데이터를 각각 선택하는 제어신호를 각각 격납하는 복수의 어드레스 레지스터와, 상기 데이터 신호에 대응하는 패턴데이터를 선택하는 제어신호를 격납하는 데이터 레지스터를 포함하는 것을 특징으로 하는 메모리 시험장치.

청구항 3. 제 1 항 또는 제 2 항에 있어서, 상기 패턴발생기는 패턴발생 시퀀스를 제어하는 시퀀스 제어부와, 패턴데이터 발생에 필요한 어드레스 연산명령과, 데이터와 상기 레지스터 선택제어신호와를 프로그램으로 기술한 인스트럭션메모리와, 상기 인스트럭션메모리로부터의 어드레스 연산명령에 따라 어드레스를 연산하고, 어드레스의 패턴데이터를 생성하는 어드레스 연산부를 포함하는 것을 특징으로 하는 메모리 시험장치.

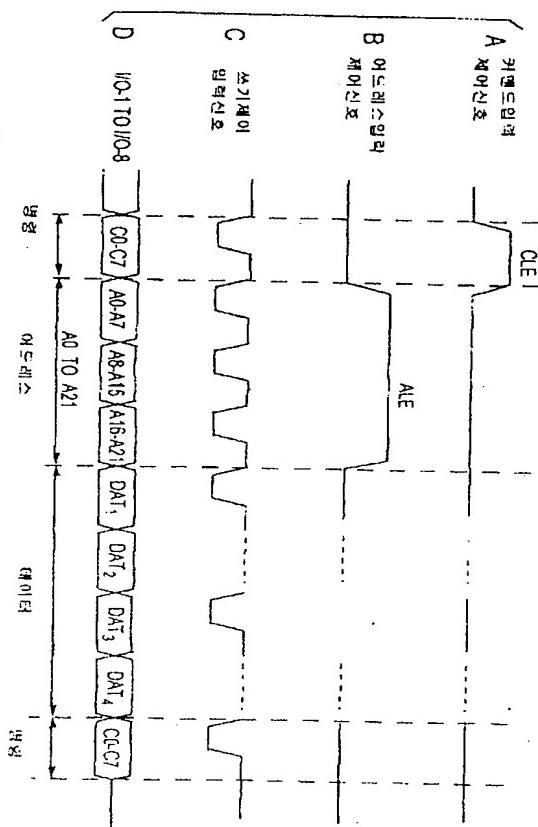
도면

도면 1

(종래기술)



(증기 기술)

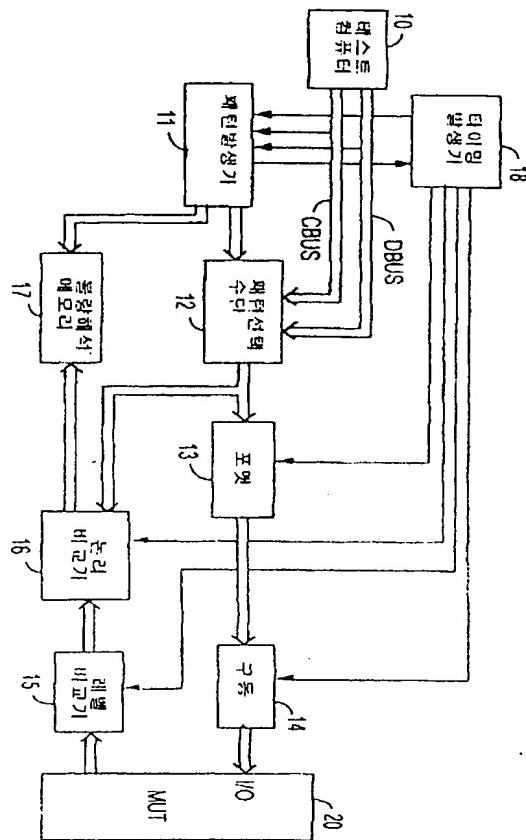


23

(종래기호)

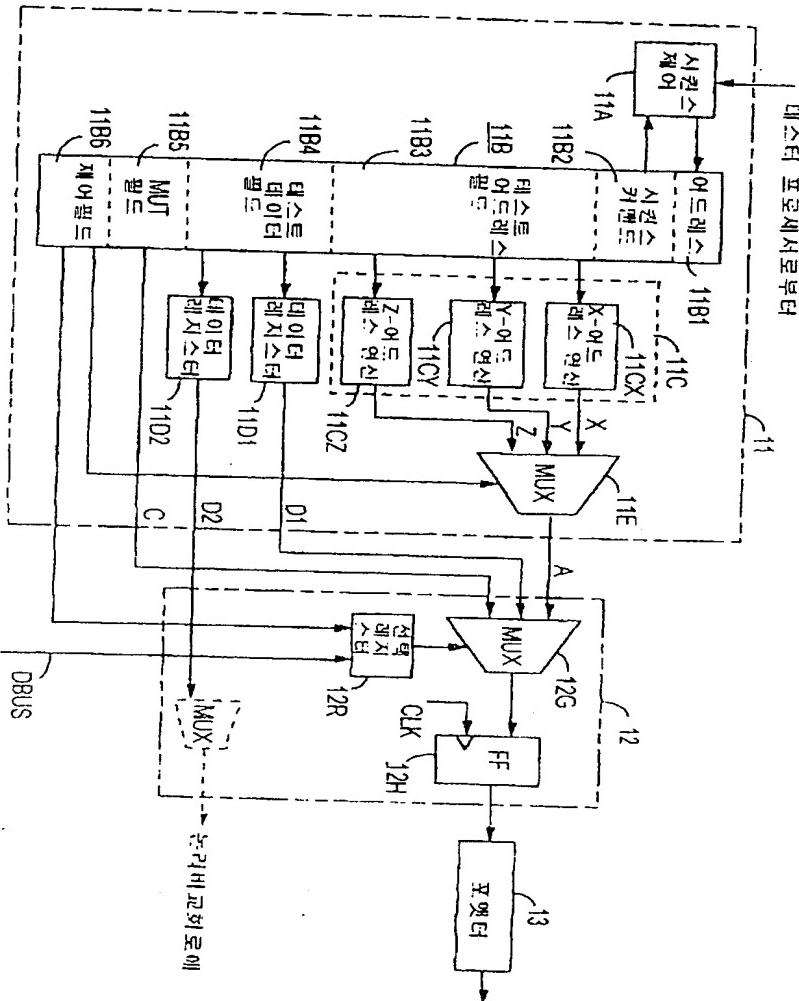
제이클 판	I/0-1	I/0-2	I/0-3	I/0-4	I/0-5	I/0-6	I/0-7	I/0-8	신호
1	C0	C1	C2	C3	C4	C5	C6	C7	거센드
2	A0	A1	A2	A3	A4	A5	A6	A7	ansi아드레스
3	A8	A9	A10	A11	A12	A13	A14	A15	랜드아이드레스
4	A16	A17	A18	A19	A20	A21			급속이드레스
5	D0	D1	D2	D3	D4	D5	D6	D7	데이터 DAT_1

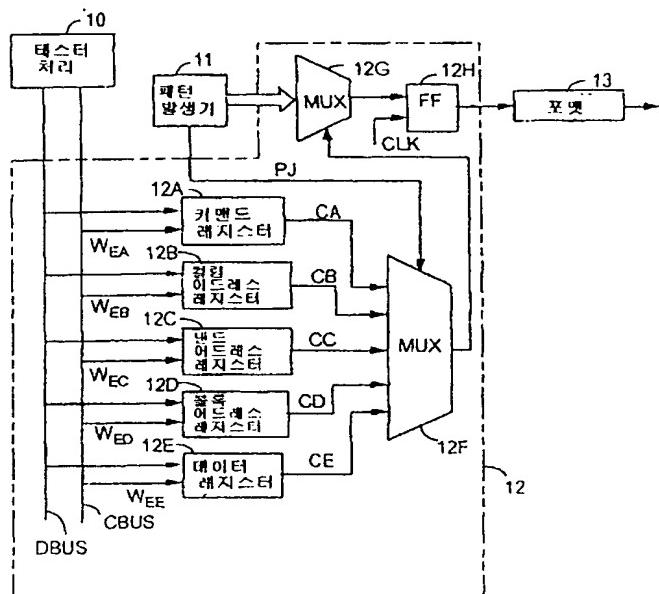
(종래 기술)



500

(종래 기술)





도면 1

